



丸文研究奨励賞 受賞者

飯塚 哲也

東京大学 大規模集積システム設計教育研究センター
准教授

時間モードによる 高精度信号処理集積回路の研究

先端テクノロジーにおける集積回路設計のパラダイムシフトを目指して

研究の背景

先端テクノロジーを用いた集積回路は様々なデジタル情報家電、IoT (Internet of Things) 機器等に広く利用され、生活のあらゆる場面に溶け込んでいる。半導体集積回路技術は、トランジスタの微細化と低電源電圧化により、その集積度、動作速度、電力効率等の性能向上を達成してきた。図1 (a) に示すように、最先端の集積回路は1Vを下回る低い電源電圧で動作するものが一般的である。従って、これまでのアナログ回路における電圧振幅を用いた信号処理(電圧モード)では、熱雑音に代表される素子の雑音と信号の振幅比である信号対雑音比を十分に確保することが困難となる。これに対し、微細化により実現された高速なトランジスタによって、集積回路内部ではより急峻な信号遷移を実現することが可能となっている。時間モード信号では、図1 (b) に示すように二値の電圧間の信号遷移を起点とし、パルス幅やパルス間隔といった「時間」を情報として用いる。急峻な信号遷移を活用することで、図1 (c) に示すように電圧モードの雑音が時間モードの雑音(ジッタ)に転換され

る際の影響が小さくなり、時間モードによる信号処理が信号対雑音比において、またその結果として低消費電力化においてもより優位となることが期待される。

研究成果

従来までの電圧モード信号処理とは異なる、時間モードによる信号処理方式を用いることで、より高精度かつ電力効率の高い集積回路技術の実現に向けて、その設計基盤の確立を目指し、理論・応用の両側面から研究を進めている。

1. 時間モード信号処理の理論的基礎の確立

自然界におけるアナログ信号は時間的に連続であるが、その信号を処理するにあたり時間離散化が行われる(図1 (b))。電圧モード信号では電圧、時間の両方向に連続的に変化する信号をある時間間隔でサンプリング(標準化)することで離散化を行う。対して時間モード信号は時間そのものを情報として用いるため、常に離散時間信号となる。外来信号の離散化は電圧モード、時間モードの両者

において最も基本的な処理となるためその理論的理解が大変重要である。

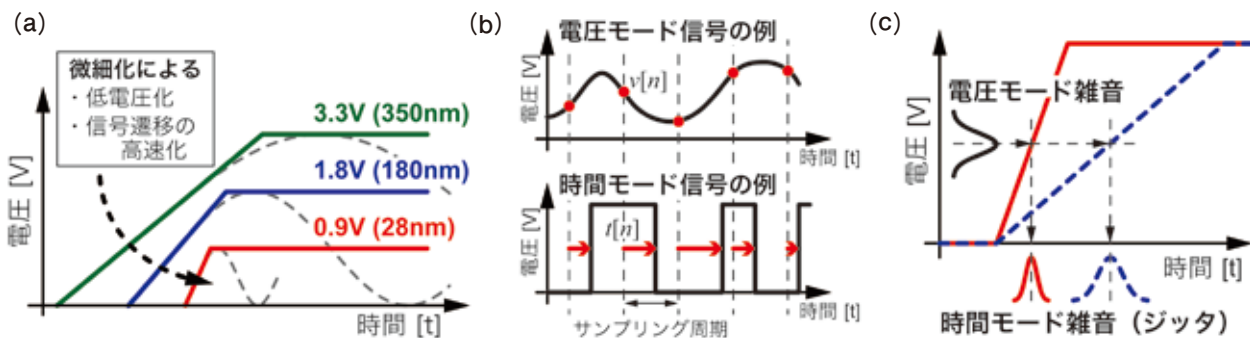
連続時間信号を離散時間信号に変換する回路素子としてサンプル-ホールド回路が広く用いられる。本回路の構造は非常に単純であるが、多岐にわたる動作モードを統一的に解析した例はこれまでにはなかった。詳細な動作解析により、本回路の動作を正確に表現する理論体系を構築した[1, 2]。体系化された解析結果は無線通信等の他の分野における回路設計最適化にも適用可能であり、今後の幅広い応用展開が期待される。

2. 時間モード信号処理の基本要素回路

時間モードでの信号処理方式を実現する上で最も基本的かつ重要な構成要素として、時間振幅をデジタル信号に変換する時間-デジタル変換回路が挙げられる。これは従来の電圧モードにおけるアナログ-デジタル変換回路に対応するものである。本回路の高性能化により、時間モード信号の観測精度を向上させ、より高精度な信号処理が可能となる。

高い時間分解能を達成するため、差動パルス幅縮小方式を新たに提案し、1psを切る時

図1 (a) 微細化により集積回路の動作電圧が低下するとともにトランジスタ動作の高速化によって急峻な信号遷移が活用できる。
(b) 電圧モードと時間モードによる信号表現の例。
(c) 急峻な信号遷移により電圧モード雑音が時間モード信号に及ぼす影響が低下する。



間分解能を持つ時間-デジタル変換回路を実現した[3]。提案手法では、信号の立ち上りと立ち下りにごく僅かな遅延の差を持つインバータ回路を差動で動作させることにより、徐々に幅の変化するパルス信号が消失までに至る数を計測することで極微小な時間分解能を実現している(図2)。現時点での最先端プロセスと比較すると集積度の低い180nmプロセスを使用してもなお580fsという極めて精細な時間分解能を実現しており、さらなる高精度化も期待される。また、高精細計測器への応用に向けて提案技術を基にした高機能化、広ダイナミックレンジ化についても継続して研究開発を推進している[4]。

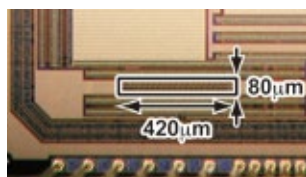
3. 時間モード信号処理を利用した応用回路

時間モード信号処理を活用することで多種の機能を効率的に実装することができる。

集積回路のプロセスばらつきモニタに対し時間モード信号処理技術を応用することで小面積かつ計測の容易な回路方式を開発、実証した(図3)[5, 6]。近年の極微細プロセスにおいては、トランジスタの性能ばらつきやゲート材料特性の経年変化による性能劣化が重要な課題となっている。提案回路では、N型、P型トランジスタの特性差によるデジタル信号の立ち上がり、立ち下がり時間の差をパルス幅の縮小、伸長過程として検出し、その時間をデジタル信号に変換することにより、簡便なデジタル計測のみでチップ上のトランジスタの微小な特性差およびその変化を検出可能なモニタ回路を実現した。

また、信号通信への応用として、前述の時間-デジタル変換技術を応用し、特に有線通信システムにおいて必須の構成要素であるクロック-データ再生回路において、外部からの

図2 高精細時間分解能を達成する時間-デジタル変換回路の実装例。最小で580fsの時間分解能を達成している。



参照クロック信号を必要とせずに、入力データ幅を即時に検出し通信動作を開始できるクイックスタート通信方式を提案、実証した(図4)[7, 8]。これにより従来技術において不可欠であった通信開始前の予備動作が不要となり、極低消費電力の待機状態からの即時復帰が可能となる。近年重要となっているIoT機器やモバイル機器など、間欠的な動作を主とするシステムにおいてシステム全体の消費電力を大幅に削減することが可能である。

将来展望

先端半導体集積回路において優位性が高まることが期待される時間モードによる信号処理技術に着目し研究を進めてきた。様々なセンサ、アクチュエータが我々の身の回りにあふれていく中で、集積回路技術にはより高い効率、高い信頼性の実現が引き続き求められている。低消費電力信号伝送の代表である生物の神経系から着想を得ると、電圧レベルの大小による情報伝送よりも、信号パルスの幅や頻度を用いた通信方式が究極的な電力効率の向上に向けてより優位となることが予測される。時間モード信号処理に基づく設計技術は従来の電圧、電流モード信号処理の微細集積回路における弱点を克服し、将来の

図3 時間モード信号処理技術を応用したプロセスばらつきモニタ回路の実装例。小面積で実現できるとともにデジタル信号計測器によってトランジスタの特性ばらつきを簡便に測定できる。

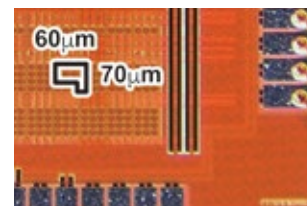
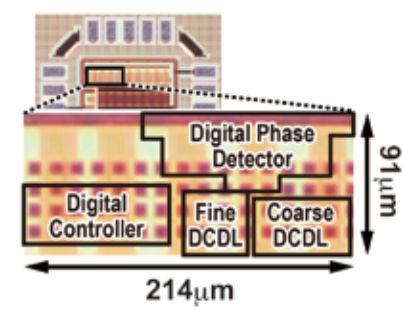


図4 時間モード信号処理技術を応用した高速起動クロック-データ再生回路の実装例。4ビットの準備信号のみで通信動作を開始でき、特に間欠動作を想定したシステムにおいて低消費電力化に寄与できる。



デジタル-アナログ混載集積回路設計技術のパラダイムシフトを実現する可能性を含んでいると考えており、新たな設計技術基盤の開拓に向けて今後も研究を推進していきたい。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通じ、数多くの企業の協力のもと、これまで多くのご指導をいただいた先生方、研究活動をともにした多くの共同研究者や学生との協力を通して行われたものです。心より感謝申し上げます。

References(参考文献)

- [1] T. Iizuka and A. A. Abidi, "FET-R-C Circuits: A Unified Treatment—Part I: Signal Transfer Characteristics of a Single-Path," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 63, no. 9, pp. 1325 - 1336, Sep. 2016.
- [2] T. Iizuka and A. A. Abidi, "FET-R-C Circuits: A Unified Treatment—Part II: Extension to Multi-Paths, Noise Figure, and Driving-Point Impedance," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 63, no. 9, pp. 1337 - 1348, Sep. 2016.
- [3] T. Iizuka, S. Miura, R. Yamamoto, Y. Chiba, S. Kubo, and K. Asada, "580fs-Resolution Time-to-Digital Converter utilizing Differential Pulse-Shrinking Buffer Ring in 0.18μm CMOS Technology," IEICE Transactions on Electronics, vol. E95-C, no. 4, pp. 661 - 667, Apr. 2012.
- [4] T. Iizuka, T. Koga, T. Nakura, and K. Asada, "A Fine-Resolution Pulse-Shrinking Time-to-Digital Converter with Completion Detection Utilizing Built-in Offset Pulse," in IEEE Asian Solid-State Circuits Conference Proceedings of Technical Papers, pp. 313 - 316, Nov. 2016.
- [5] T. Iizuka and K. Asada, "All-Digital PMOS and NMOS Process Variability Monitor Utilizing Shared Buffer Ring and Ring Oscillator," IEICE Transactions on Electronics, vol. E95-C, no. 4, pp. 627 - 634, Apr. 2012.
- [6] T. Iizuka, J. Jeong, T. Nakura, M. Ikeda, and K. Asada, "All-Digital On-Chip Monitor for PMOS and NMOS Process Variability Measurement Utilizing Buffer Ring with Pulse Counter," in Proceedings of IEEE European Solid-State Circuits Conference, pp. 182 - 185, Sep. 2010.
- [7] T. Iizuka, N. Tohge, S. Miura, Y. Murakami, T. Nakura, and K. Asada, "A 4-Cycle-Start-Up Reference-Clock-Less All-Digital Burst-Mode CDR Based on Cycle-Lock Gated-Oscillator with Frequency Tracking," in Proceedings of IEEE European Solid-State Circuits Conference, pp. 301 - 304, Sep. 2016.
- [8] T. Iizuka, S. Miura, Y. Ishizone, Y. Murakami, and K. Asada, "A True 4-Cycle Lock Reference-Less All-Digital Burst-Mode CDR Utilizing Coarse-Fine Phase Generator with Embedded TDC," in Proceedings of IEEE Custom Integrated Circuits Conference, Sep. 2013.