



# 化合物半導体ナノワイヤ異種集積電子素子応用の研究

### 電子素子のさらなる低消費電力化・高性能化を目指して

富岡 克広

北海道大学 量子集積エレクトロニクス研究センター  
科学技術振興機構さきがけ専任研究者

## 研究の背景

現在の集積回路 (LSI) は、基礎となる電界効果トランジスタ (FET) を小さくし、集積度を高めることで、高性能化、低消費電力化、低コスト化を実現してきました。しかしながら、近年、低消費電力化が頭打ちになり、LSIの消費電力が大幅に急増しています。低消費電力化の妨げになっているのはリーク電流の増大による待機電力の増加と、個々のFETのサブスレッショルド係数に理論的な限界 (最小値60 mV/桁) があるためです。この理論的な限界は、キャリアの熱拡散的振る舞いで決まり、MOSFETではこの値を下回ることができません。

リーク電流を抑えながら、FETを高性能化する手法として、現在はフィン型構造と呼ばれる立体ゲート構造がシリコンMOSFETで実用化されています。この傾向は、将来的にサラウンディングゲート構造と呼ばれる、チャネルの全方位がゲート電極で包埋された構造になると言われています。また、電子や正孔を流す材料をシリコンからIII-V族化合物半導体やゲルマニウムに置き換える試みも検討されています。これは、シリコンと比べると、これらの材料の方が、低い電圧で電子・正孔をより速く流すことができるからです。一方、サブスレッショルド係数を理論限界以下に下げると、FETのキャリアの熱拡散を、他の物理機構に替えることが議論され始めています。

いずれも、シリコンとIII-V族化合物半導体の、いわゆるヘテロエピタキシャル技術の成熟が、これらの電子素子応用の進展に大きく貢献します。しかしながら、シリコン上でIII-V族化合物半導体からなる立体ナノ構造を均一に異種集積する成長技術が

困難であったため、これらの研究の進展は遅れていました。

## 研究の成果

### 1. Si上のIII-Vナノワイヤ選択成長技術の確立

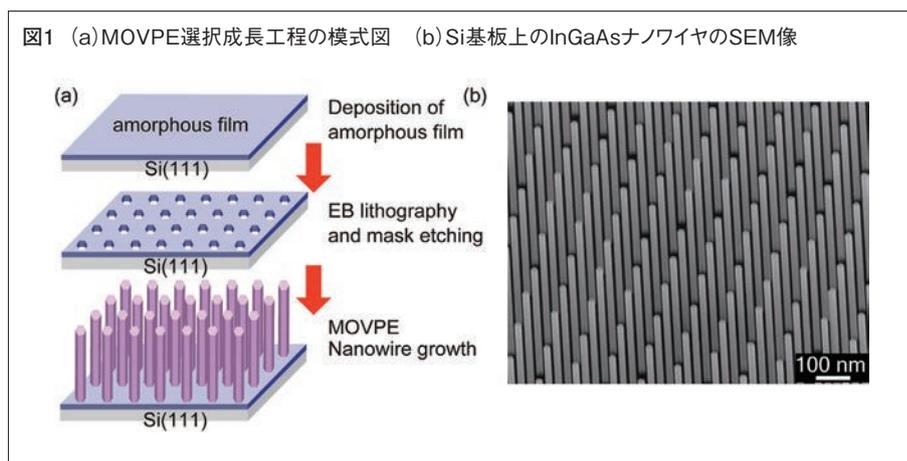
本研究では、まずシリコン基板上にIII-V族半導体ナノワイヤを自在に集積できる技術を確認しました。ナノワイヤの作製には、有機金属気相成長法と選択成長技術を利用しています。これは、図1(a)のように、リソグラフィ技術によるトップダウンと結晶成長技術のボトムアップを融合した技術です。この手法は、位置・サイズの制御を非晶質によるマスクテンプレートの開口サイズで決定し、任意の位置・サイズに結晶を作製し、ナノワイヤの作製に触媒金属を利用しない手法です[1]。この作製手法において、極性をもたないシリコン結晶表面に極性表面を形成する技術がブレークスルーとなりました。シリコンの最表面の原子配列を精緻に特定の原子で並び替えることで、図1(b)のように、Si基板上に高均一の垂直自立したIII-V

ナノワイヤを集積することができます[2-4]。さらに、微細直径からなるIII-Vナノワイヤとシリコンの界面では、従来の成長で困難であった、ミスフィット転位のないコヒーレント成長を実現できることも明らかにしました[4]。

### 2. Si上のIII-Vナノワイヤ縦型トランジスタ作製工程の確立

次いで、III-V族化合物半導体ナノワイヤを用いて次世代トランジスタ構造・縦型トランジスタ構造を作製するために、ナノ細線構造の3次元デバイス立体加工技術を確認しました[5, 6]。シリコン上のIII-V族化合物半導体ナノワイヤ縦型トランジスタ研究では、Si基板上的InGaAs/InP/InAlAs/InGaAsコア・マルチシェルナノワイヤ作製技術にシラン (SiH<sub>4</sub>) によるn型ドーピングを導入し、縦型トランジスタ作製プロセスを用いた集積技術を確認しています[6]。図2はデバイス特性と、スイッチング特性です。Si基板上の半導体ナノワイヤで、世界に先駆け変調ドープ構造、いわゆる高電子移動度トランジスタ (HEMT) 構造を実現した結果です[7]。III-Vナノワイヤ縦型トランジスタで

図1 (a) MOVPE選択成長工程の模式図 (b) Si基板上的InGaAsナノワイヤのSEM像



# 積技術と

Si-MOSFET特性を大幅に上回る性能を報告しています[8]。

### 3. Si/III-Vヘテロ接合界面のトンネルトランジスタ応用

次に集積技術の延長として、新しい分野を開拓するため、結晶成長技術で生じるSi/III-V接合界面に新しい物性を見出し、当該分野の低消費電力化への可能性について、新しい界面:Si/III-V界面を検討し、低電圧トランジスタ応用への可能性を実証しています[9, 10]。Si基板上的InAsナノワイヤのSi/InAs固相界面を利用したトンネル輸送をゲート電圧で変調する素子構造を提案しました[9]。これは、FET構造を縦型にしてラップ状にゲート電極を作ることで、電流のリークを極力抑える工夫をしています。さらに、結晶成長技術によってシリコンとInAsナノワイヤ界面を形成し、その界面で生じる電子のトンネル効果による電流をスイッチ素子に使うことで、図3に示すように、従来のMOSFETの物理限界を突破(最小SS=12 mV/桁、平均SS=21 mV/桁)できることを実証しました[10]。また、ナノワイヤの伝導性がスイッチング特性の立ち上がり電圧制御の重要な要因となることも明らかになっています[11]。単純な異種集積技術で急峻なヘテロ接合が形成できることから、次世代以降の低消費スイッチ素子としてこの要素技術を応用が期待されます。

### 将来の展望

これらの電子素子は、Si-LSI技術に導入した場合、現在の集積回路を高性能化しながら、回路全体の消費電力を10分の1以下(サブスレッショルド係数が3分の1以下になると消費電力はその二乗の9分の1以下になる)に低減できる潜在的な性能を有してい

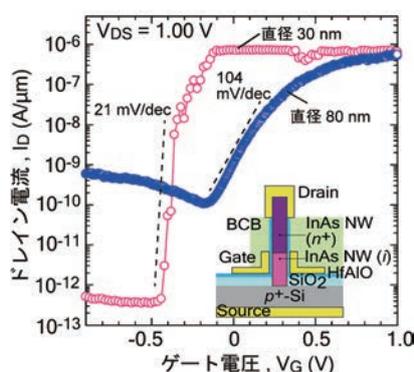


図3 Si/InAsナノワイヤヘテロ接合トランジスタのスイッチング特性  
内挿図はSi/III-Vヘテロ接合を用いたnチャンネル低電圧トランジスタ模式図

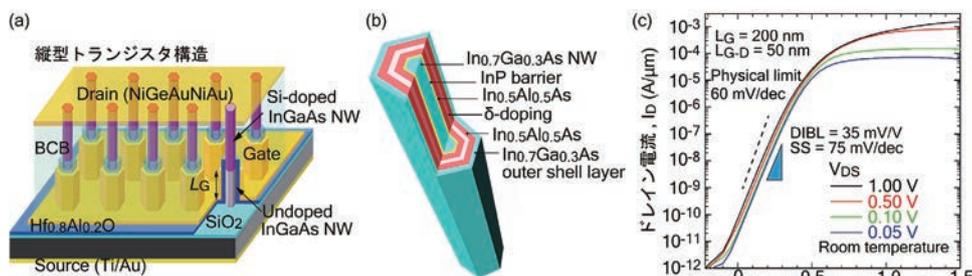
### References (参考文献)

- [1] 富岡 克広, 福井 孝志, 応用物理, 81, 59(2012).
- [2] K. Tomioka, J. Motohisa, S. Hara, T. Fukui, Nano Lett. 8, 3475(2008).
- [3] K. Tomioka, T. Tanaka, S. Hara, K. Hiruma, and T. Fukui, IEEE Journal of Selected Topics in Quantum Electronics, 17, 1112(2011) (Invited paper).
- [4] K. Tomioka, Y. Kobayashi, J. Motohisa, S. Hara, T. Fukui, Nanotechnology, 20, 145302(2009).
- [5] K. Tomioka, J. Motohisa, S. Hara, K. Hiruma, T. Fukui, Nano Lett., 10, 1639(2010).
- [6] K. Tomioka, M. Yoshimura, T. Fukui, IEEE IEDM Tech. Dig. 773(2011).
- [7] K. Tomioka, M. Yoshimura, T. Fukui, Nature 488, 189(2012).
- [8] K. Tomioka, T. Fukui, IEEE DRC Tech. Dig. 15(2013).
- [9] Katsuhiko Tomioka and Takashi Fukui, Appl. Phys. Lett., 98, 083114(2011).
- [10] K. Tomioka, M. Yoshimura, T. Fukui, IEEE VLSI symposia Tech. Dig. 47(2012).
- [11] K. Tomioka, M. Yoshimura, T. Fukui, Nano Lett. 13, 5822(2013).

図2 (a) Si上のInGaAsナノワイヤ縦型FET模式図

(b) InGaAs/InAlAs/ $\delta$ -InAlAs/InAlAs/InGaAsコア・マルチシェルナノワイヤの模式図

(c) InGaAs/InAlAs/ $\delta$ -InAlAs/InAlAs/InGaAsコア・マルチシェルナノワイヤ縦型FETの伝達特性



### 補足説明

#### 有機金属気相成長法

半導体薄膜の成長方法の一つ。有機金属やガスを主な原料として利用し、原料を気相状態で供給し、成長基板上で熱分解させ、気相中の濃度勾配を利用して成長基板上に成長種を供給することで、半導体薄膜を成長する手法。

#### サブスレッショルド係数

MOSFETにゲート電圧を印加した時のドレイン電流が変化する割合を示したトランジスタスイッチ指標。MOSFETは室温で60 mV/桁が理論最小値となる。