



# ナノスケールSOIトランジスタにおける キャリア輸送の研究とLSI応用への展開

超低消費電力・高性能の集積回路実現を目指して

**内田 建**

東京工業大学大学院 理工学研究科  
准教授  
科学技術振興機構さきがけ研究員(兼)

## 研究の背景

現代の高度情報化社会を支える集積回路(LSI)は、MOSTランジスタの微細化によって、その機能や集積度、また動作速度を向上させてきた。ところがトランジスタの典型的なサイズが90nm程度となった90nm技術世代以降、従来のような微細化によるサイズ縮小だけでは、トランジスタに対する要求性能を満たすことができなくなってきた。そのため、90nm技術世代のトランジスタでは、トランジスタをチャンネル方向に引っ張るあるいは圧縮する一軸性の歪みを利用する技術(一軸歪み技術)が、トランジスタ性能を向上させる新たな方法として一部の企業によって利用され始めた。ところが、一軸性の歪みによってMOSトランジスタの性能が向上する物理的起源は必ずしも明らかではなく、この技術を利用して将来にわたって性能向上を達成し続けることができるかは不明であった。

一方、22nm技術世代以降では、従来のようなバルクの単結晶シリコンではなく、絶縁膜上に形成した単結晶シリコン薄膜であるSOI(Silicon-On-Insulator)上に作製したトランジスタ(SOIトランジスタ)の実用化が有望視されている。22nm技術

世代以降、SOIトランジスタがその優位性を発揮するためには、SOI膜厚を20nm程度以下することが必須である。ところが、SOI膜厚を50nm程度以下にすると移動度が劣化したトランジスタの性能が悪くなることが古くから知られていた。しかしながら、その原因は明らかではなかった。

## 研究の成果

本研究では、膜厚が10nm以下とナノスケールのSOIをチャンネル部とするSOIトランジスタを作製し、その中を流れるキャリア(電子)の輸送特性を調べた。また、受賞者はナノスケールSOIトランジスタの特徴を活かすことで、一軸歪みよるトランジスタの性能向上起源をさぐるなど、超低消費電力・高性能の集積回路実現を目指した研究を展開してきた。

### 1. ナノスケールSOIトランジスタにおけるキャリア輸送

本研究成果の第一は、ナノスケールSOIトランジスタのキャリア輸送機構に関するものである。受賞者は、ナノスケールSOIをチャンネルとするトランジスタ(図1)の作製に取り組み、1nm以下のSOI層をチャンネルとするSOIトランジスタの作製に成功した<sup>[1]</sup>。また、SOIの膜厚を電氣的に評価する手法を開発し、①SOIトランジスタの電気特性とSOI膜厚の関係、②SOI膜厚が異なる様々なSOIトランジスタの電気特性の温度依存性などを丹念に調べることで、SOIトランジスタ

における移動度劣化のメカニズムを明らかにした<sup>[2]</sup>。すなわち、SOI膜厚が5nm程度まではSOI薄膜化に伴うフォノン散乱の増大<sup>[2, 3]</sup>、SOI膜厚が4nm程度以下からはSOI膜厚の原子スケールでの揺らぎが<sup>[2, 4]</sup>、移動度劣化の主因であることを実験的に突き止めた。これらの研究成果は、SOIの実用的薄膜化限界を議論する上での貴重な基礎的情報として広く利用されている。さらにSi/SiO<sub>2</sub>系の量子井戸構造を調整することで、2次元電子系の量子準位を制御し、移動度を向上させることが可能であること、すなわちSi/SiO<sub>2</sub>系でサブバンド・エンジニアリングによるMOSTランジスタの性能向上が可能であることを実験的に実証した<sup>[2, 3]</sup>。これらの研究は、ナノスケールSOIトランジスタによる高性能トランジスタ実現の可能性を大きく広げる研究として注目された。最近では、ナノスケールSOIにドナー不純物を大量にドーピングし、ナノスケール外因性半導体におけるキャリア輸送の不純物濃度依存性を調べる<sup>[5]</sup>など新たな展開を見せている。

### 2. 一軸歪みによるトランジスタの性能向上

本研究成果の第二は、一軸歪みによる移動度向上機構、特に歪み量が大きな時の移動度向上機構の解明に関する研究である。受賞者は、SOIトランジスタを用いた巧妙な実験により、2次元反転層中の電子のある特定の有効質量が<110>一軸歪み(<110>の結晶方位に沿うように外部応力を印可することで生じた歪み)によって変化することをMOSTランジスタにおいて実験的に明瞭に示した<sup>[6]</sup>。また、

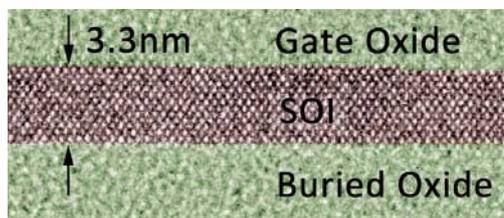


図1 ナノスケールSOIの透過型電子顕微鏡写真

図2 一軸歪みを加えた時のシリコン中における電子の等エネルギー図

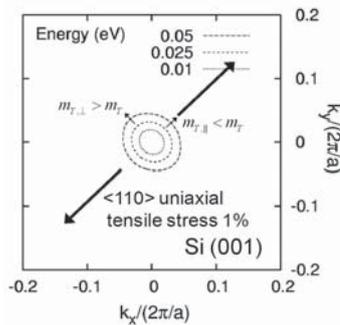
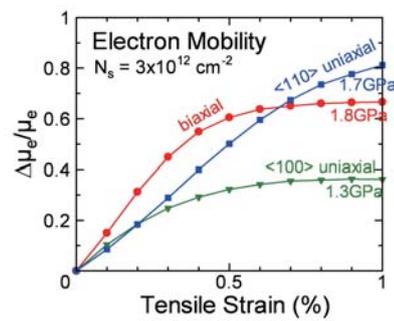


図3 歪み量とMOSTランジスタの移動度向上率の関係



一軸歪みが印可された状態のシリコンのバンド構造を計算により求め、一軸歪みによる有効質量の変化量を定量的に求めた(図2) [6]。さらに、バンド計算によって得られた有効質量変化などのバンド構造変化を取り込んで、一軸歪みによる移動度向上量を理論的に計算した。その結果、実験によって観測された移動度向上を計算により定量的に再現できることを示した [6]。これらの結果により、<110>一軸歪みによるMOSTランジスタの電子移動度向上機構を明らかにした。

さらに、受賞者らは、歪み量が1%という極めて大きな極限における理論計算をも行い、1%という巨大歪み下でも、<110>一軸歪みをさらに増すことで有効質量は依然として変化することを示した。また、この持続的な有効質量の低減により、歪み量1%程度に至っても、①<110>一軸歪みによって移動度は上昇すること、②歪み量が大いときには<110>一軸歪みの方が<100>一軸歪みよりも移動度向上率が大きくなる

ことを示した(図3) [6]。これらの結果は、一軸歪み技術を利用した高性能のn型MOSトランジスタのチャンネル方向を<110>方向とする業界の動向に、学術的基礎付けを行う論文として注目を集めた。

## 将来の展望

ナノスケールSOIトランジスタは、これからのよいよ実用化へ向けた取り組みが本格化する。本研究では、ナノスケールSOIのMOSトランジスタのチャンネル材料としての潜在能力を探り、一軸歪みによる移動度向上の物理起源を調べるための試料としてナノスケール

SOIトランジスタを活用した。今後、ナノスケールSOIを実際の応用製品の中で使いこなしていくためには、不純物を多くドーピングした時の抵抗体としての能力、pn接合用材料としての能力を明らかにする必要がある。また、ナノスケール半導体におけるキャリア輸送だけではなく、熱の輸送も興味を持たれるところである。これらの未開拓の領域が発展することで、ナノスケールSOIの応用が花開くものと期待される。

本研究の多くは、東芝およびスタンフォード大学における、数多くの共同研究者との共同研究に基づくものです。ここに深く感謝いたします。

## 補足説明

### 技術世代

集積回路を構成する電子デバイスの典型的な大きさ。加工可能な寸法とも関連する。90nm技術世代は、デバイスの典型的なサイズが90nmのLSI作製技術を指す。数字が小さいほど、将来のより小さなトランジスタで構成されるLSI技術を指す。

### 移動度

電子や正孔といったキャリアの流れやすさを表す物理量。電界が増加するとキャリアの速度は(電界が弱い時には)電界に比例して増加する。この比例係数が移動度である。

## References(参考文献)

- [1] K. Uchida, J. Koga, and S. Takagi, "Experimental Study on Carrier Transport Mechanisms in Double- and Single-Gate Ultrathin-Body MOSFETs -Coulomb Scattering, Volume Inversion, and  $\delta T_{SOI}$ -induced Scattering-," Technical Digest of International Electron Devices Meeting (IEDM), pp.805-808, 2003.
- [2] K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata, and S. Takagi, "Experimental Study on Carrier Transport Mechanism in Ultrathin-body SOI n- and p-MOSFETs with SOI Thickness less than 5 nm," Technical Digest of International Electron Devices Meeting (IEDM), pp.47-50, 2002.
- [3] K. Uchida, J. Koga, and S. Takagi, "Phonon-limited electron mobility in ultrathin-body silicon-on-insulator metal-oxide-semiconductor field-effect transistors," J. Appl. Phys., vol. 102, no. 7, 074510, 2007.
- [4] K. Uchida and S. Takagi, "Carrier scattering induced by thickness fluctuation of silicon-on-insulator film in ultrathin-body metal-oxide-semiconductor field-effect transistors," Appl. Phys. Lett., vol. 82, no. 17, pp.2916-2918, 2003.
- [5] N. Kadotani, T. Takahashi, K. Chen, T. Kodera, S. Oda, K. Uchida, "Anomalous Electron Mobility in Extremely-Thin SOI (ETSOI) Diffusion Layers with SOI Thickness of Less Than 10nm and High Doping Concentration of Greater Than  $1E18cm^{-3}$ ," Technical Digest of International Electron Device Meeting (IEDM), San Francisco, CA, USA, Dec 6-8, p54, 2010.
- [6] K. Uchida, T. Krishnamohan, K. C. Saraswat, Y. Nishi, "Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Regime," Technical Digest of International Electron Devices Meeting (IEDM), pp135-138, 2005.